

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-263459
 (43)Date of publication of application : 11.10.1996

(51)Int.CI. G06F 15/163
 G06F 9/46
 G06F 13/16

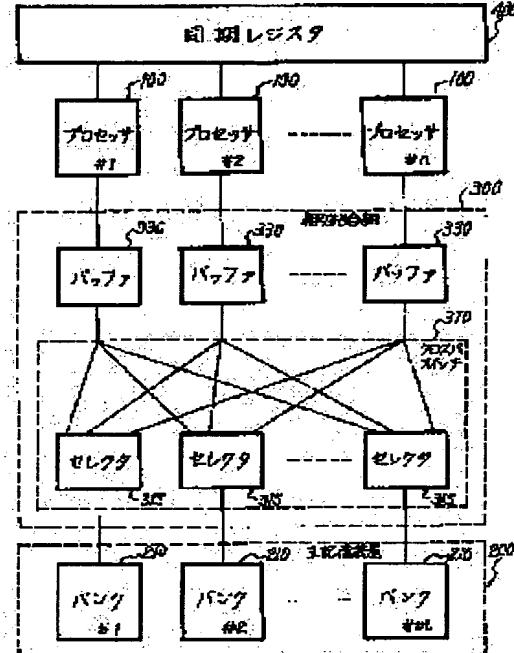
(21)Application number : 07-062820 (71)Applicant : NEC CORP
 (22)Date of filing : 22.03.1995 (72)Inventor : ANDO NORIYUKI

(54) MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To easily confirm the state of buffers within a mutual connection network without increasing the number of signal lines by giving to respective processors a function to confirm that a transmitted request does not stay in the mutual connection network.

CONSTITUTION: A mutual connection network 300 for connecting plural processors 100 and a main storage device 200 is provided with (n) pieces of input ports corresponding to the respective processors 100 and buffers 330 for holding the requests from the respective processors 100 are connected to the respective input ports. The outputs of the buffers 330 are connected to an (n)-input/(m)-output crossbar switch 310 and connected through (m) pieces of output ports to the respective banks of the main storage device 200. In this case, a pseudo buffer for containing the contents of the buffers 330 inside the mutual connection network 300 is provided inside respective processors 100 and all the copies of requests held in the buffer 330 are held in this pseudo buffer. Therefore, it can be confirmed that the request abolished from a pseudo buffer 110 is one which has been already issued to the main storage device 200.



LEGAL STATUS

[Date of request for examination] 22.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2882304

[Date of registration] 05.02.1999

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-263459

(43)公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/163			G 0 6 F 15/16	3 1 0 V
9/46	3 6 0		9/46	3 6 0 E
13/16	5 2 0		13/16	5 2 0 C

審査請求 有 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願平7-62820

(22)出願日 平成7年(1995)3月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安藤 憲行

東京都港区芝五丁目7番1号 日本電気株式会社内

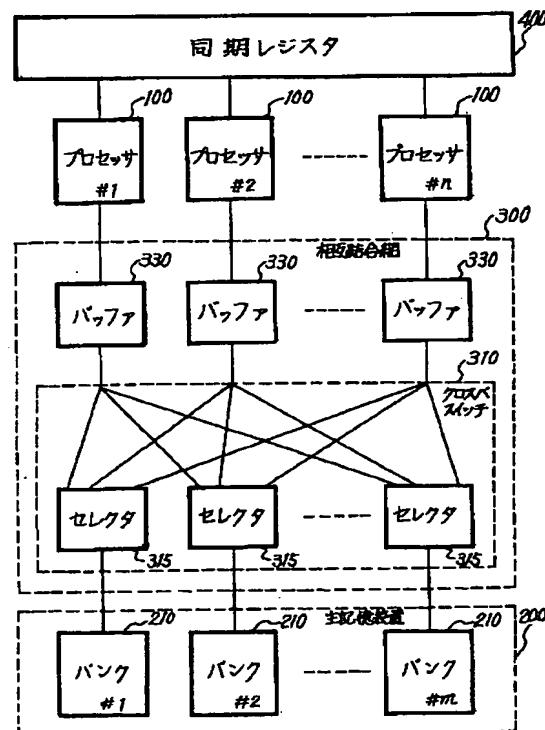
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【目的】マルチプロセッサシステムにおいて、信号線数を増加させることなく、あるプロセッサから送出されたリクエストが、その送出先において残留していないことを確認する。

【構成】相互結合網300を介して複数のプロセッサ100と主記憶装置200とが接続される。プロセッサ100は同期レジスタ400を介して他のプロセッサが主記憶装置200にデータをライトしたことを知る。相互結合網300は各プロセッサに対応してバッファ330を有する。各プロセッサ100はバッファ330の内容を包含する疑似バッファ110を備える。



1

【特許請求の範囲】

【請求項1】 複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、前記複数のプロセッサの各々は、当該プロセッサから送出したリクエストが前記相互結合網に滞留していないことを確認する機能を有することを特徴とするマルチプロセッサシステム。

【請求項2】 複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持するバッファを含み、前記複数のプロセッサの各々は、前記相互結合網内の対応するバッファの内容を包含するように保持する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

【請求項3】 複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のバッファと、このバッファに保持されているリクエストが送出できない状態であることを前記対応するプロセッサに通知するホールド通知手段とを含み、

前記複数のプロセッサの各々は、前記ホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

【請求項4】 n 個 (n は 2 以上の整数) のプロセッサと、 m 個 (m は 2 以上の整数) のバンクから成る主記憶装置と、前記プロセッサと前記主記憶装置を接続する n 対 m の相互結合網とを含むマルチプロセッサシステムにおいて、

前記相互結合網は、前記プロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式の n 個のバッファと、これらバッファの出力を前記主記憶のバンクに接続するクロスバと、前記バッファに保持されているリクエストが前記クロスバに送出できない状態であることを前記対応するプロセッサに通知する n 個のホールド通知手段とを含み、前記プロセッサの各々は、前記対応するホールド通知手段からリクエストが送出できない状態である旨を通知さ

2

れない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

【請求項5】 前記クロスバは、前記バンクに対応する m 個のセレクタを含むことを特徴とする請求項4のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチプロセッサシステムに関し、特に複数のプロセッサと主記憶装置とこれらを結合する相互結合網とを有するマルチプロセッサシステムに関する。

【0002】

【従来の技術】 マルチプロセッサシステムにおいて、相互結合網の構成がその性能に与える影響は多大なものがある。相互結合網は、複数のプロセッサより送出された主記憶装置へのアクセス（以下、メモリアクセスという）であって、主記憶装置の同一メモリポートへアクセスする複数のメモリアクセスについて、競合停を行なながらルーティングする。ここで、主記憶装置は複数のメモリバンクを有するものとし、また、相互結合網は演算プロセッサ台数分の入力ポートと主記憶装置のバンク数分の出力ポートを有するものとする。

【0003】 相互結合網がシステム性能に与える性能インパクトの最大要因はネットワークスループットとネットワークディレーの 2 つの要因がある。ネットワークスループットは単位時間あたりに相互結合網を通過可能なメモリリクエストの総数であり、ネットワークディレーはメモリリクエストがネットワークを通過するのに要する時間である。これらは、メモリアクセス衝突が全く無い場合の最大値と、メモリアクセス衝突が有る場合の実効値とを分けて算出する必要がある。

【0004】 ネットワークスループットとディレーとを向上させる最大の方策として、バンド幅を広げる方法がある。ここで、バンド幅とは単位時間あたりに通過可能なメモリリクエストのサイズの総量をいう。例えばメモリアクセスが 8 バイトのデータ幅であった場合に、相互結合網の 1 サイクルタイムあたりのバンド幅が 4 バイト幅であるならば、このリクエストの通過には 2 サイクルタイム要するが、8 バイト幅であるならば 1 サイクルタイムで十分である。

【0005】 しかし、性能向上のためにバンド幅を単純に広げようとしても、実装条件との制限を受けてしまう。例えば、16 プロセッサで 8 バイト幅のネットワークを構成するためには、ネットワークポート数は入力 16 ポート、出力 16 ポートが必要となるので、合計 64 ビット \times 16 ポート \times 2 = 2048 信号が必要となる。ここで、主記憶装置に接続する出力ポート側も入力のスループットに合わせるために 16 ポート構成になつて

50

るものとする。このような大量の入出力信号を1つのチップに搭載することは、実装上困難である。

【0006】かかる実装上の問題を解決する手段として、ビットスライス式にLSIを分割する方法がある。これは例えばデータ幅が8バイトであったならば、1バイトづつのデータを8LSIチップに分割し、1チップあたりのデータ幅を1バイトにする方法である。上述の例では、1チップあたりのピン数は8ビット×16ポート×2=256ピンとなって、実装上の条件がかなり緩和される。

【0007】このように、ビットスライスによるLSI分割を行うことにより、ルーティングされるデータ信号については、ある程度実装上の問題を解決できる。しかし、コントロール信号については、このような方法では実装上の問題を解決できない。ここで、コントロール信号とは、ネットワークの動作処理を規定する制御信号であり各プロセッサ、もしくは主記憶装置より送受する信号である。例えば、各メモリリクエストの行き先出力ポート番号を指定するルーティングアドレスや、ネットワークからのリクエスト送出停止を要求するホールド信号がこれに相当する。これらコントロール信号はビットスライスによるLSI分割を行っても、各LSIチップにこのコントロール信号のインターフェースピンを設ける必要があるため、信号線数を削減することができない。

【0008】一方、マルチプロセッサシステムにおいては、主記憶装置を複数のバンクに物理的に分割し、これらを独立に動作させることが多い。この場合、相互結合網は各ポート毎に独立に動作することになる。そこで、リクエスト間の緩衝を吸収するため、各ポートにバッファを設けることが一般的である。このように構成することにより、各バンクや各ポート間で完全に同期させて動作する構成と比較して、より高いスループット、より短いアクセスタイムが実現できる。

【0009】ところが、この構成では以下のような問題がある。あるプロセッサAがデータDのライトリクエストを発行して、引き続いでフラグFを同期レジスタにセットすることによってデータDをライトした旨を他のプロセッサに伝える。そこで、プロセッサBが同期レジスタのフラグFをチェックすることにより、データDのライトを知り、データDのリードリクエストを発行する。このとき、偶発的にプロセッサAからメモリへのバスが塞がっていたとすると、プロセッサAからのライトリクエストをプロセッサBからのリードリクエストが追い越してしまおそれがある。この追い越しにより、プロセッサBの読み出したデータはデータDであることを保証できなくなる。

【0010】そこで、かかる場合には、以下に示すシンク(SYNC)動作によりシンクの確認を行うことが、複数プロセッサ間の正確なデータの受渡しを実現するために効果的である。すなわち、相互結合網や主記憶装置

に対してそのプロセッサが発行したリクエストの残留状態を確認するシンクリクエストを発行する。相互結合網および主記憶装置は、そのシンクリクエストを受け取ると、そのリクエストを発行したプロセッサからの残留リクエストがなくなるのを確認し、残留リクエストが全てメモリアクセス処理を完了した時点でその旨のリプライを返す。これにより、残留リクエストが全てなくなつたことを確認した上で同期レジスタにフラグをセットすれば、上述のような問題を防止することができる。

10 【0011】

【発明が解決しようとする課題】しかしながら、このようなシンク動作の完了を通知するためには、リプライ用の信号線が別途必要となる。上述したように、相互結合網においては、制御信号に係る信号線を増やすことは実装上困難であり、シンクリクエストの導入の障害となる。そこで、相互結合網のバッファの状態を簡易に調べることができることが望ましい。

【0012】本発明の目的は、マルチプロセッサシステムにおいて、あるプロセッサから発行されたリクエストが、その発行先において残留していないことを確認することにある。

【0013】また、本発明の目的は、信号線数を増加させることなく、上記残留リクエストの確認を実現することにある。

【0014】

【課題を解決するための手段】上記課題を解決するためには本発明のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記複数のプロセッサの各々は、当該プロセッサから送出したリクエストが前記相互結合網に滞留していないことを確認する機能を有する。

【0015】また、本発明の他のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持するバッファを含み、前記複数のプロセッサの各々は、前記相互結合網内の対応するバッファの内容を包含するように保持する疑似バッファを含む。

【0016】また、本発明の他のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のバッファと、このバッファに保持

されているリクエストが送出できない状態であることを前記対応するプロセッサに通知するホールド通知手段とを含み、前記複数のプロセッサの各々は、前記ホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したりクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含む。

【0017】また、本発明の他のマルチプロセッサシステムは、n個（nは2以上の整数）のプロセッサと、m個（mは2以上の整数）のバンクから成る主記憶装置と、前記プロセッサと前記主記憶装置を接続するn対mの相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記プロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のn個のバッファと、これらバッファの出力を前記主記憶のバンクに接続するクロスバと、前記バッファに保持されているリクエストが前記クロスバに送出できない状態であることを前記対応するプロセッサに通知するn個のホールド通知手段とを含み、前記プロセッサの各々は、前記対応するホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したりクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含む。

【0018】また、本発明の他のマルチプロセッサシステムにおいて、前記クロスバは、前記バンクに対応するm個のセレクタを含む。

【0019】

【実施例】次に本発明のマルチプロセッサシステムの一実施例について図面を参照して詳細に説明する。

【0020】図1を参照すると、本発明の一実施例であるマルチプロセッサシステムは、複数のプロセッサ100と、主記憶装置200と、これらプロセッサ100と主記憶装置200を結合する相互結合網300とを有している。

【0021】主記憶装置200は、複数のバンク210に分割されており、各々独立にアクセスすることが可能である。プロセッサ100の各々は、相互結合網300に対して1つのアクセスポートを有する。また、主記憶装置200のバンク210の各々も、相互結合網300に対して1つのアクセスポートを持つ。

【0022】相互結合網300は、各プロセッサ100に対応してn個の入力ポートを有し、各入力ポートには各プロセッサ100からのリクエストを保持するためのバッファ330が接続される。このバッファ330の出力はn入力m出力のクロスバスイッチ310に入力されてm個の出力ポートを通じて主記憶装置200の各バン

ク121～12mに接続する。各プロセッサ100のポートと相互結合網300の入力ポートとの間にはバスが張られ、各バンク210のポートと相互結合網300の出力ポートとの間にはそれぞれバスが張られている。これらバス上には、メモリアクセスリクエストが流れる。

【0023】クロスバスイッチ310は、n入力1出力のセレクタ315をm個有しており、いずれの入力ポートからも任意の出力ポートに接続できるように構成されている。

【0024】各プロセッサ100が主記憶装置200にアクセスする場合、メモリアクセスリクエストを構成し、相互結合網300に送出する。相互結合網300は、複数のプロセッサ100から送られてくる複数のメモリアクセスリクエスト間に生じる競合を調停し、各リクエストの行先に応じてバンク210に対するルーティングを行い、メモリアクセスリクエストを送出する。主記憶装置200の各バンク210に到着したメモリアクセスリクエストは、各バンクにおいてリードアクセスまたはライトアクセスを実行する。リードアクセスの場合は、再び相互結合網300を介してリクエスト発行元のプロセッサにリードデータが返却される。

【0025】図2を参照すると、あるプロセッサ100と相互結合網300を結ぶバスは、データ501、バリッド502、ルーティングアドレス503、およびホールド504の4つから構成される。但し、図2においては、1つのプロセッサ100のポートと1つの相互結合網300の入力ポートとを結ぶ1本のバスの構成要素のみを示している。同様に相互結合網300と主記憶装置200を結ぶバスはデータ601、バリッド602、およびホールド603の3つから構成される。これについても同様に、相互結合網300の1つの出力ポートと主記憶装置200の1つのバンクとを結ぶ1本のバスの構成要素のみを示している。

【0026】データ501は、プロセッサ100から主記憶装置200にルーティングされるデータ領域であり、リクエストがライトアクセスの場合にはライトを行う主記憶アドレスとライトデータより構成され、リードアクセスの場合にはリードを行うメモリアドレスより構成される。バリッド502は、当該データが有効か否かを示すバリッド信号である。ルーティングアドレス503は、リクエストの行先であるメモリバンク番号を示す。ホールド信号504は、データ501等とは逆向きに相互結合網300からプロセッサ100に向かう信号であり、相互結合網300の入力ポートのバッファがフルになった場合に、プロセッサ100に対しリクエスト送出停止を要求する信号である。

【0027】図3を参照すると、相互結合網300の構成が示される。相互結合網300は、#1から#nまでのn個の入力ポートと、#1から#mまでのm個の出力ポートとを有する。各入力ポートは、各々1つのプロセ

ッサとの間を1本のバスにより接続する。この入力ポートに入出力する信号は、データ501、バリッド502、アドレス503、およびホールド504である。各出力ポートは、主記憶装置の1つのバンク210との間を1本のバスにより接続する。この出力ポートに入出力する信号は、データ601、バリッド602、アドレス603、およびホールド604である。リクエストのルーティングを行うのはクロスバースイッチ310であり、このクロスバースイッチ310を制御するのはクロスバースイッチ制御回路320である。

【0028】各入力ポートには、クロスバースイッチ制御回路320によるリクエストの競合調停によって留保されたリクエストを一時的に保持するバッファ330が設けられる。これらバッファに保持されているリクエストを滞留リクエストという。これらバッファを制御するのはバッファ制御回路340である。バッファ制御回路340は、入力ポートのバリッド信号502およびホールド信号504に基づいて制御する。また、バッファ330からクロスバースイッチ310に対して競合調停要求等を伝達するために、バッファ制御回路340とクロスバースイッチ制御回路320との間にもインターフェース信号が張られる。

【0029】図4を参照すると、プロセッサ100内の相互結合網300に対するインターフェース部分が示される。プロセッサ100は、1つの出力ポートを持ち、1本のバスを介して相互結合網300に接続する。出力ポートに入出力する信号は、データ501、バリッド502、アドレス503、およびホールド504である。

【0030】このインターフェース部分は、疑似バッファ110とそれを制御する疑似バッファ制御回路120とを含んでいる。疑似バッファ制御回路120は、相互結合網300からのホールド504とプロセッサからのバリッド信号を入力し、相互結合網300へのバリッド502とアドレス503、およびプロセッサへのホールド信号を出力する。

【0031】疑似バッファ110は、バッファ330と同じバッファ段数を有し、バッファ330と同様に一時的にリクエストをホールドするホールド機能を有している。プロセッサ100からのリクエストを格納する疑似バッファ110の先頭のバッファ段を先頭段111といい、最右端のバッファ段119を最終段という。疑似バッファ110の各段は、両隣のバッファ段と接続されており、各リクエストは図4において左から右に常に移動していく。

【0032】疑似バッファ110の制御は以下のように行われる。プロセッサ100が相互結合網300にリクエストを送出すると、当該リクエストと同じ内容を疑似バッファ110の先頭段111に入れる。以下、このようにして疑似バッファ110に保持されたリクエストをリクエストコピーという。バッファ330と疑似バッ

ア110は、共に先入れ先出し（以下、FIFO（First-In First-Out）という）式にリクエストの出し入れを行う。リクエストをバッファ330に入力する場合には、バッファ330は最終取り出し段に対し常に詰めた状態でリクエストを格納し、疑似バッファ110は常に先頭段111に対してリクエストを格納する。

【0033】あるプロセッサに対して相互結合網300から送られて来るホールド信号の値が”ホールド”を示していれば、当該プロセッサから相互結合網300へのリクエストの送出を停止すると共に、その疑似バッファ110もホールドする。

【0034】相互結合網300から送られて来るホールド信号の値が”ホールド”でなければ、当該プロセッサは、相互結合網300へリクエストを送出するとともに、そのリクエストのコピーを疑似バッファ110の先頭段111に格納する。また、疑似バッファ110内にあるリクエストコピーを先頭段111から最終段119に向けて1段移動させる。この時、最終段119にあるリクエストコピーは廃棄される。

【0035】次に本発明の上記一実施例の動作について図面を参照して説明する。ここでは、バッファ330と疑似バッファ110の段数をともに3段であるとする。

【0036】図1、図4および図5を参照すると、時刻T1においてプロセッサ100がリクエストAを発行すると、リクエストAは相互結合網300のバッファ330に保持されるとともに、そのコピーが疑似バッファの先頭段111に保持される。また、時刻T2においてプロセッサ100がリクエストBを発行すると、リクエストBは相互結合網300のバッファ330に保持されるとともに、そのコピーが疑似バッファの先頭段111に保持される。さらに、時刻T3においてプロセッサ100がリクエストCを発行すると、リクエストCは相互結合網300のバッファ330に保持されるとともに、そのコピーが疑似バッファの先頭段111に保持される。

【0037】一方、クロスバースイッチ310では、時刻T3にリクエストAを受け付けるが、時刻T4およびT5においてリクエストBの行先バンクが使用中である等の理由でリクエストBを受け付けられないため、ホールド信号504を”ホールド”にして、その旨をプロセッサ100に伝える。これにより、疑似バッファ制御回路120は時刻T5およびT6においてホールド190を介して疑似バッファ110に”ホールド”中である旨を伝える。したがって、疑似バッファ110はT5からT6に遷移する際、およびT6からT7に遷移する際には、その内容を維持する。

【0038】時刻T6においてリクエストBが受け付けられ、ホールド504が解除されるため、時刻T7にホールド190が解除されて、時刻T8にリクエストEがバッファ330に保持されるとともに、そのコピーが疑

似バッファの先頭段111に保持される。

【0039】上記の例を考察すると、疑似バッファ110の最終段119からあるリクエストが押し出されて破棄された時刻の2T前に、クロスバスイッチ310においてそのリクエストが受け付けられていることがわかる。また、バッファ330にリクエストが保持されると同時に疑似バッファ110にも当該リクエストが保持されることがわかる。すなわち、疑似バッファ110に保持されている内容はバッファ330を包含していることになる。

【0040】したがって、バッファ330に滞留しているリクエストのコピーは全て疑似バッファ110に保持されており、この疑似バッファ110から破棄されているリクエストは主記憶装置200に発行済みであることが確認できる。これを利用することにより、あるデータDに関するライトリクエストを送出した後、疑似バッファ110から当該リクエストが破棄されたことを確認してから、同期レジスタ400にフラグFをセットすることにより、他のプロセッサはフラグFを確認後すぐにデータDのリードリクエストを送出してもその内容が保証される。

【0041】このように、本発明の一実施例であるマルチプロセッサシステムによれば、相互結合網300内のバッファ330の内容を包含する疑似バッファ110をプロセッサ100内に設けたことにより、バッファ330に滞留しているリクエストを容易に把握することができ、従来必要とされたリプライ信号線を省くことができる。

【0042】なお、この疑似バッファ110は、上述のようなタイミング制御のみならず、バッファ330の内容を知るために広く使用することができる。例えば、マルチプロセッサシステムにおける性能評価を行うために、バッファ330の滞留状態をトレースしようとした場合、通常であれば相互結合網300に対してプローブを立てたり、リプライ信号をプロセッサに戻したりする必要があるが、本発明における疑似バッファ110を使用することによりバッファ330の内容を容易にトレースすることができる。

【0043】

【発明の効果】以上の説明で明らかのように、本発明によると、プロセッサと相互結合網間のインターフェース本数を増やすずに相互結合網内のバッファの状態を容易に知ることができる。複数のプロセッサが接続されるマルチプロセッサシステムにおいて、プロセッサ数に比例したインターフェースの増加は、コスト増、実装ネック等の大きな問題となっており、本発明によりこれを低減可能とすることができます。特に、本発明によれば、プロ

セッサのインターフェース部、および相互結合網を構成するLSIチップのピンネックを解消することができ、ビットスライス分割では削減できないコントロール信号を削減することができるとなり、ピンネックの解消に大きく貢献することができる。

【図面の簡単な説明】

【図1】本発明のマルチプロセッサシステムの一実施例の構成を示すブロック図である。

【図2】本発明の一実施例のマルチプロセッサシステムにおけるインターフェースを示す図である。

【図3】本発明の一実施例における相互結合網の構成を示す図である。

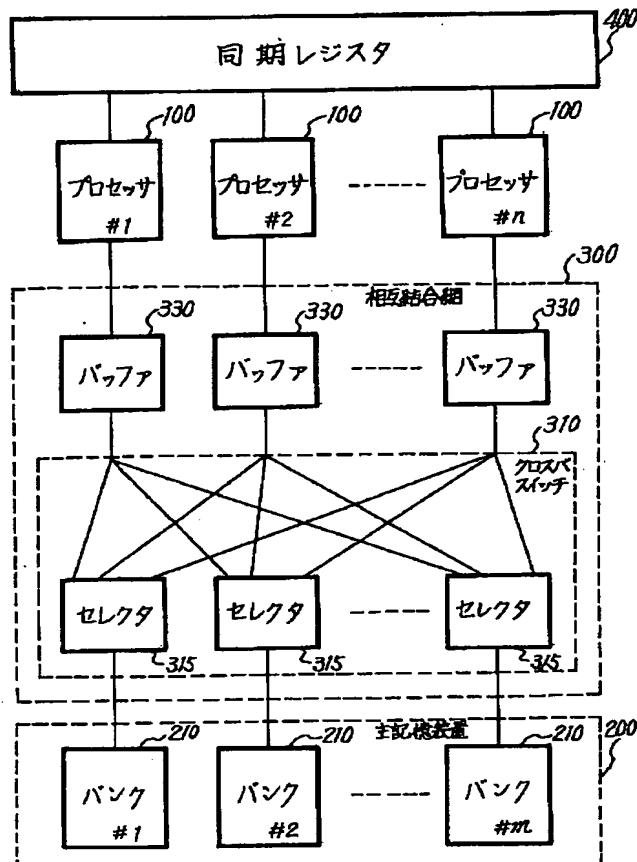
【図4】本発明の一実施例におけるプロセッサ内の相互結合網に対するインターフェース部分を示す図である。

【図5】本発明の一実施例のマルチプロセッサシステムの動作を表す図である。

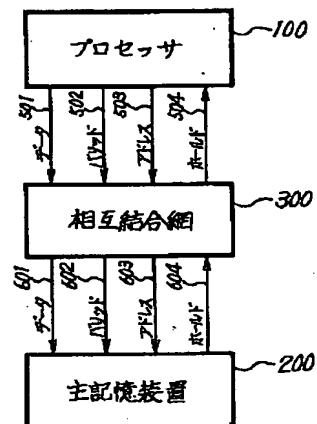
【符号の説明】

100	プロセッサ
110	疑似バッファ
120	疑似バッファ制御回路
200	主記憶装置
210	パンク
300	相互結合網
310	クロスバスイッチ
315	セレクタ
320	クロスバスイッチ制御回路
330	バッファ
340	バッファ制御回路
400	同期レジスタ

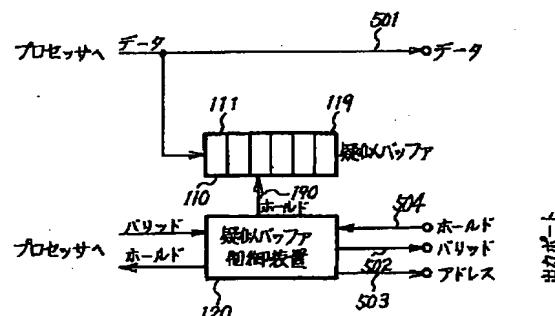
【図1】



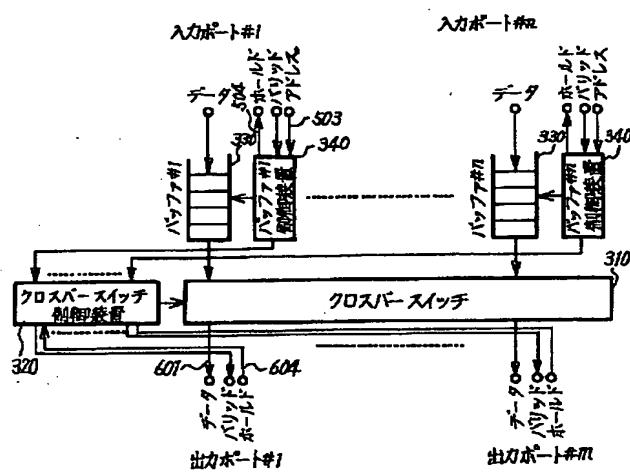
【図2】



【図4】



【図3】



【図5】

